

Inhaltsverzeichnis

1	Abstraktionen und Technologien	1
1.1	Einführung	1
1.2	Acht wichtige Konzepte der Computerarchitektur	9
1.3	Was sich hinter einem Programm verbirgt	12
1.4	Unter der Haube	16
1.5	Prozessorherstellung und Speichertechnologien	26
1.6	Leistung	30
1.7	Die Hürde des Stromverbrauchs	42
1.8	Der Wechsel von Einzelprozessoren zu Multiprozessoren	45
1.9	Fallstudie: Benchmarking des Intel Core i7	49
1.10	Fallstricke und Trugschlüsse	52
1.11	Schlussbetrachtungen	55
1.12	 Historische Perspektiven und Literaturhinweise	57
1.13	Aufgaben	57
2	Befehle: Die Sprache des Rechners	65
2.1	Einführung	65
2.2	Operationen der Rechnerhardware	68
2.3	Operanden der Rechnerhardware	70
2.4	Vorzeichenbehaftete und nicht vorzeichenbehaftete Zahlen	77
2.5	Darstellung von Befehlen im Rechner	84
2.6	Logische Operationen	92
2.7	Befehle zum Treffen von Entscheidungen	95
2.8	Unterstützung von Prozeduren durch die Rechnerhardware	101
2.9	Kommunikation mit Menschen	112
2.10	Umgang mit 32-Bit-Direktooperanden und 32-Bit-Adressen	117
2.11	Parallelität und Befehle: Synchronisierung	126
2.12	Übersetzen und Starten eines Programms	129
2.13	Zusammenfassung am Beispiel eines Sortierprogramms in C	139
2.14	Felder und Zeiger im Vergleich	148
2.15	 Fortgeschrittener Stoff: C-Compiler und Java-Interpreter	152
2.16	Fallstudie: ARMv7-Befehle (32 Bit)	152
2.17	Fallstudie: x86-Befehle	156
2.18	Fallstudie: ARMv8-Befehle (64 Bit)	167

2.19	Fallstricke und Trugschlüsse	168
2.20	Schlussbetrachtungen	170
2.21	 Historische Perspektiven und Literaturhinweise	172
2.22	Aufgaben	173
3	Rechnerarithmetik	185
3.1	Einführung	185
3.2	Addition und Subtraktion	185
3.3	Multiplikation	190
3.4	Division	197
3.5	Gleitkommaarithmetik	205
3.6	Parallelität und Computerarithmetik: Subwort-Parallelität . . .	234
3.7	Fallstudie: Streaming-SIMD und Vektorerweiterungen für x86	235
3.8	Beschleunigung: Subwort-Parallelität und Matrixmultiplikation	237
3.9	Fallstricke und Trugschlüsse	240
3.10	Schlussbetrachtungen	244
3.11	 Historische Perspektiven und Literaturhinweise	249
3.12	Aufgaben	249
4	Der Prozessor	259
4.1	Einführung	259
4.2	Konventionen für den Entwurf von Logikschaltungen	264
4.3	Aufbau eines Datenpfades	267
4.4	Eine einfache Implementierungsmethode	276
4.5	Übersicht über die Technik des Pipelinings	288
4.6	Pipelining von Datenpfad und Steuerwerk	305
4.7	Datenkonflikte: Forwarding vs. Stalling	323
4.8	Steuerkonflikte	337
4.9	Ausnahmebehandlung	347
4.10	Parallelität auf Befehlsebene	354
4.11	Fallstudie: Die Pipelines beim ARM Cortex-A8 und beim Intel Core i7	368
4.12	Schneller werden: Parallelität auf Befehlsebene	376
4.13	 Fortgeschrittener Stoff: Einführung in den Schaltungsentwurf	379
4.14	Fallstricke und Trugschlüsse	379
4.15	Schlussbetrachtungen	380
4.16	 Historische Perspektiven und Literaturhinweise	381
4.17	Aufgaben	382

5	Groß und schnell: Ausnutzung der Speicherhierarchie	399
5.1	Einführung	399
5.2	Speichertechnologien	404
5.3	Grundlagen des Caching	411
5.4	Cache-Leistung messen und verbessern	427
5.5	Zuverlässige Speicherhierarchie	447
5.6	Virtuelle Maschinen	454
5.7	Virtueller Speicher	458
5.8	Allgemeines Schema der Speicherhierarchien	488
5.9	Steuerung eines einfachen Caches mit einem endlichen Automaten	496
5.10	Parallelität und Speicherhierarchien: Cache-Kohärenz	501
5.11	 Parallelität und Speicherhierarchie: RAID	506
5.12	 Fortgeschrittener Stoff: Cache-Controller	506
5.13	Fallstudie: Speicherhierarchien von ARM Cortex-A8 und Intel Core i7	506
5.14	Beschleunigung: Cache-Blocking und Matrixmultiplikation	511
5.15	Fallstricke und Trugschlüsse	514
5.16	Schlussbetrachtungen	519
5.17	 Historische Perspektive und Literaturhinweise	520
5.18	Aufgaben	520
6	Parallele Prozessoren: Vom Client zur Cloud	539
6.1	Einführung	539
6.2	Warum es schwierig ist, parallele Programme zu entwickeln	541
6.3	SISD, MIMD, SIMD, SPMD und Vektor	547
6.4	Hardwareseitiges Multithreading	554
6.5	Multicores. Multiprozessoren mit gemeinsam genutztem Speicher	558
6.6	Grafikprozessoren (GPUs) – Einführung	563
6.7	Cluster und Warehouse Scale Computer	571
6.8	Einführung in Multiprozessor-Netztopologien	577
6.9	 Kommunikation mit der Außenwelt: Cluster	581
6.10	Multiprozessor-Benchmarks und Performanzmodelle	581
6.11	Fallstudie: Intel Core i7 960 und NVIDIA Tesla	592
6.12	Beschleunigung: multiple Prozessoren und Matrixmultiplikation	596
6.13	Fallstricke und Trugschlüsse	599
6.14	Schlussbetrachtungen	601
6.15	 Historische Perspektive und Literaturhinweise	605
6.16	Aufgaben	605
	Fachbegriffe Deutsch – Englisch	621
	Englisch – Deutsch	621
	Deutsch – Englisch	624

APPENDICES

A : Assemblers, Linkers, and the SPIM Simulator	A-1
A.1 Introduction	A-3
A.2 Assemblers	A-10
A.3 Linkers	A-18
A.4 Loading	A-19
A.5 Memory Usage	A-20
A.6 Procedure Call Convention	A-22
A.7 Exceptions and Interrupts	A-33
A.8 Input and Output	A-38
A.9 SPIM	A-40
A.10 MIPS R2000 Assembly Language	A-45
A.11 Concluding Remarks	A-81
A.12 Exercises	A-82
B: The Basics of Logic Design	B-2
B.1 Introduction	B-3
B.2 Gates, Truth Tables, and Logic Equations	B-4
B.3 Combinational Logic	B-9
B.4 Using a Hardware Description Language	B-20
B.5 Constructing a Basic Arithmetic Logic Unit	B-26
B.6 Faster Addition: Carry Lookahead	B-38
B.7 Clocks	B-48
B.8 Memory Elements: Flip-Flops, Latches, and Registers	B-50
B.9 Memory Elements: SRAMs and DRAMs	B-58
B.10 Finite-State Machines	B-67
B.11 Timing Methodologies	B-72
B.12 Field Programmable Devices	B-78
B.13 Concluding Remarks	B-79
B.14 Exercises	B-80
Stichwortverzeichnis	I-1
ONLINE CONTENT	
C: Graphics and Computing GPUs	C-2
C.1 Introduction	C-3
C.2 GPU System Architectures	C-7
C.3 Programming GPUs	C-12
C.4 Multithreaded Multiprocessor Architecture	C-25
C.5 Parallel Memory System	C-36
C.6 Floating Point Arithmetic	C-41
C.7 Real Stuff : The NVIDIA GeForce 8800	C-46
C.8 Real Stuff : Mapping Applications to GPUs	C-55
C.9 Fallacies and Pitfalls	C-72
C.10 Concluding Remarks	C-76
C.11 Historical Perspective and Further Reading	C-77

D: Mapping Control to Hardware	D-2
D.1 Introduction	D-3
D.2 Implementing Combinational Control Units	D-4
D.3 Implementing Finite-State Machine Control	D-8
D.4 Implementing the Next-State Function with a Sequencer	D-22
D.5 Translating a Microprogram to Hardware	D-28
D.6 Concluding Remarks	D-32
D.7 Exercises	D-33
 E: A Survey of RISC Architectures for Desktop, Server, and Embedded Computers	 E-2
E.1 Introduction	E-3
E.2 Addressing Modes and Instruction Formats	E-5
E.3 Instructions: The MIPS Core Subset	E-9
E.4 Instructions: Multimedia Extensions of the Desktop/Server RISCs.	E-16
E.5 Instructions: Digital Signal-Processing Extensions of the Embedded RISCs	E-19
E.6 Instructions: Common Extensions to MIPS Core	E-20
E.7 Instructions Unique to MIPS-64	E-25
E.8 Instructions Unique to Alpha.	E-27
E.9 Instructions Unique to SPARC v9	E-29
E.10 Instructions Unique to PowerPC	E-32
E.11 Instructions Unique to PA-RISC 2.0	E-34
E.12 Instructions Unique to ARM	E-36
E.13 Instructions Unique to Thumb	E-38
E.14 Instructions Unique to SuperH	E-39
E.15 Instructions Unique to M32R	E-40
E.16 Instructions Unique to MIPS-16	E-40
E.17 Concluding Remarks	E-43
 Glossary	 G-1
Further Reading	FR-1

